

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toshiyuki FURUIE, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: DRIVE CIRCUIT FOR SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

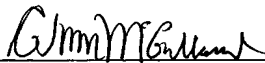
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-316735	September 9, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 1 6 7 3 5
Application Number:

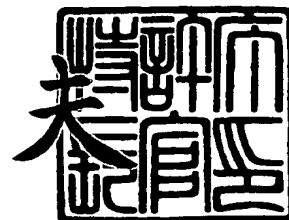
[ST. 10/C] : [J P 2 0 0 3 - 3 1 6 7 3 5]

出 願 人 三 菱 電 機 株 式 会 社
Applicant(s):

2 0 0 3 年 1 0 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 546166JP01
【提出日】 平成15年 9月 9日
【あて先】 特許庁長官殿
【国際特許分類】 H02M 1/08
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内
 【氏名】 古家 敏幸
【発明者】
 【住所又は居所】 福岡県福岡市西区今宿東一丁目 1 番 1 号 福菱セミコンエンジニアリング株式会社内
 【氏名】 近藤 信
【特許出願人】
 【識別番号】 000006013
 【氏名又は名称】 三菱電機株式会社
【代理人】
 【識別番号】 100089233
 【弁理士】
 【氏名又は名称】 吉田 茂明
【選任した代理人】
 【識別番号】 100088672
 【弁理士】
 【氏名又は名称】 吉竹 英俊
【選任した代理人】
 【識別番号】 100088845
 【弁理士】
 【氏名又は名称】 有田 貴弘
【手数料の表示】
 【予納台帳番号】 012852
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

絶縁ゲート型のトランジスタを駆動する半導体駆動回路であって、
前記トランジスタにゲート電圧を印加する駆動部と、
前記駆動部のタイミングを制御するタイミング制御部とを備え、
前記駆動部は、前記ゲート電圧として、前記トランジスタの閾値より小さい電圧である第 1 ゲート電圧と、前記トランジスタを駆動する規定電圧である第 2 ゲート電圧とを前記トランジスタに印加可能であり、
前記タイミング制御部は、前記第 1 ゲート電圧を前記第 2 ゲート電圧に先立ち前記トランジスタに印加するように前記駆動部を制御する、半導体駆動回路。

【請求項 2】

請求項 1 に記載の半導体駆動回路であって、
前記駆動部は、前記第 1 ゲート電圧より大きく前記第 2 ゲート電圧より小さい電圧である第 3 ゲート電圧をさらに前記トランジスタに印加可能であり、
前記タイミング制御部は、前記第 1 ゲート電圧を印加後に前記第 3 ゲート電圧を前記トランジスタに印加し、前記トランジスタのミラー効果時間内であって前記トランジスタの主電流のリカバリー電流終了後に前記第 2 ゲート電圧を前記トランジスタに印加するように前記駆動部を制御する、半導体駆動回路。

【請求項 3】

請求項 2 に記載の半導体駆動回路であって、
前記主電流に基づいて前記第 3 ゲート電圧を生成し、前記駆動部に供給する電圧供給部をさらに備える、半導体駆動回路。

【請求項 4】

絶縁ゲート型のトランジスタを駆動する半導体駆動回路であって、
前記トランジスタの主電流に基づいて前記トランジスタに印加するゲート電圧を生成する電圧供給部と、
前記電圧供給部で生成された前記ゲート電圧を前記トランジスタに印加する駆動部と、
前記駆動部が前記トランジスタに前記ゲート電圧を印加するタイミングを制御するタイミング制御部とを備える、半導体駆動回路。

【請求項 5】

請求項 3 又は請求項 4 に記載の半導体駆動回路であって、
前記電圧供給部は、前記主電流を変数とする所定の関数から前記ゲート電圧を生成する、半導体駆動回路。

【請求項 6】

請求項 3 乃至請求項 5 のいずれかに記載の半導体駆動回路であって、
前記電圧供給部は、前記トランジスタがターンオン又はターンオフする際の前記主電流を除く前記主電流に基づいて前記ゲート電圧を生成する、半導体駆動回路。

【請求項 7】

請求項 3 乃至請求項 6 のいずれかに記載の半導体駆動回路であって、
前記電圧供給部は、前記トランジスタの駆動期間内において前記主電流の最大値を保存し、前記最大値に基づいて次の前記トランジスタの駆動期間に印加する前記ゲート電圧を生成する半導体駆動回路。

【請求項 8】

請求項 3 乃至請求項 6 のいずれかに記載の半導体駆動回路であって、
前記電圧供給部は、前記トランジスタの複数回の駆動における前記主電流の平均値を算出し、前記平均値に基づいて次の前記トランジスタの駆動期間に印加する前記ゲート電圧を生成する半導体駆動回路。

【請求項 9】

請求項 3 乃至請求項 8 のいずれかに記載の半導体駆動回路であって、
前記電圧供給部は、前記主電流が大きくなるに従い、前記ゲート電圧が大きくなるよう

に前記ゲート電圧を生成する、半導体駆動回路。

【請求項 1 0】

請求項 3 乃至請求項 8 のいずれかに記載の半導体駆動回路であって、
前記電圧供給部は、所定の値より小さい前記主電流の場合、前記トランジスタのスイッチングが緩やかになるように前記ゲート電圧を調整する、半導体駆動回路。

【書類名】明細書

【発明の名称】半導体駆動回路

【技術分野】

【0001】

本発明は、半導体駆動回路に係る発明であって、特に、絶縁ゲート型のトランジスタを駆動する半導体駆動回路に関するものである。

【背景技術】

【0002】

I G B T (Insulated Gate Bipolar Transistor) や M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) などの絶縁ゲート型のトランジスタを使った装置においてノイズ(放射ノイズ、雑音端子電圧等)が問題となっている。このノイズ対策として、半導体駆動回路でゲート抵抗を増やすことが行われている。しかし、ゲート抵抗を増やすとスイッチング時間が長くなり、スイッチング損失も増加してしまうというデメリットがあった。

【0003】

そこで、複数のゲート抵抗を設け、これを切り替えることでスイッチング時間を短くする半導体駆動回路が考えられている。また、特許文献1に示すように、ゲート電圧を複数のステップに分けて絶縁ゲート型のトランジスタに印加する半導体駆動回路が考えられている。この半導体駆動回路により、絶縁ゲート型のトランジスタのターンオン時における電流サージ及びノイズの発生を抑制することができ、スイッチング損失も低減することができる。

【0004】

また、特許文献2に示すように、トランジスタのエミッタ・コレクタ間の電圧を検出し、この検出値に応じてゲート抵抗値を変化させゲート電圧を増加或いは減少させスイッチングの速度を遅くする半導体駆動回路が考えられている。この半導体駆動回路により、トランジスタの電流容量に依存せずにターンオン時のゲート電圧の時間変化を緩和でき、電流サージ及びノイズの発生を抑制することができる。

【0005】

【特許文献1】特開2001-352748号公報(第5-7頁、第1-4図)

【特許文献2】特開平6-291631号公報(第3-7頁、第1-10図)

【発明の開示】

【発明が解決しようとする課題】

【0006】

複数のゲート抵抗を設ける半導体駆動回路は、ゲート抵抗を変えるために一旦装置の電源を落とす必要があり、またゲート抵抗を取り替えるために手間がかかる。また、回路的にゲート抵抗を切り替えることを可能とした半導体駆動回路を構成しても、ゲート抵抗を連続的に変えることは困難であり、段階的にしかゲート抵抗を切り替えられない。さらに、この半導体駆動回路では、切り替える段階の数だけゲート抵抗が必要となり、回路的にも大がかりなものになる問題があった。

【0007】

また、特許文献1に示す半導体駆動回路では、トランジスタの閾値電圧以上のゲート電圧を複数のステップに分けて印加している。そのため、この半導体駆動回路では、トランジスタをターンオンさせるための時間が長くなり、他の半導体駆動回路に比べてスイッチングが遅くなる問題があった。

【0008】

また、特許文献2に示す半導体駆動回路では、トランジスタのエミッタ・コレクタ間の電圧を検出してゲート電圧を制御しているが、このゲート電圧自体の制御方法は、複数ゲート抵抗を設け切り替える半導体駆動回路と同じである。そのため、ゲート抵抗を連続的に変えることは困難であり、段階的にゲート抵抗を切り替えることしかできない問題点があった。

【0009】

そこで、本発明は、トランジスタのターンオン時での電流サージ及びノイズの発生を抑制するとともに、連続的にゲート電圧を変化させ、スイッチング損失を低減しつつ最適なスイッチング時間で駆動することができる半導体駆動回路を提供することを目的とする。

【課題を解決するための手段】**【0010】**

本発明に係る解決手段は、絶縁ゲート型のトランジスタを駆動する半導体駆動回路であって、トランジスタにゲート電圧を印加する駆動部と、駆動部のタイミングを制御するタイミング制御部とを備え、駆動部は、ゲート電圧として、トランジスタの閾値より小さい電圧である第1ゲート電圧と、トランジスタを駆動する規定電圧である第2ゲート電圧とをトランジスタに印加可能であり、タイミング制御部は、第1ゲート電圧を第2ゲート電圧に先立ちトランジスタに印加するように駆動部を制御する。

【0011】

本発明に係る別の解決手段は、絶縁ゲート型のトランジスタを駆動する半導体駆動回路であって、トランジスタの主電流に基づいてトランジスタに印加するゲート電圧を生成する電圧供給部と、電圧供給部で生成されたゲート電圧をトランジスタに印加する駆動部と、駆動部がトランジスタにゲート電圧を印加するタイミングを制御するタイミング制御部とを備える。

【発明の効果】**【0012】**

本発明に記載の半導体駆動回路は、絶縁ゲート型のトランジスタを駆動する半導体駆動回路であって、トランジスタにゲート電圧を印加する駆動部と、駆動部のタイミングを制御するタイミング制御部とを備え、駆動部は、ゲート電圧として、トランジスタの閾値より小さい電圧である第1ゲート電圧と、トランジスタを駆動する規定電圧である第2ゲート電圧とをトランジスタに印加可能であり、タイミング制御部は、第1ゲート電圧を第2ゲート電圧に先立ちトランジスタに印加するように駆動部を制御するので、ゲート・エミッタ間に、予めトランジスタがスイッチングしない程度の第1ゲート電圧を印加する状態を作り、スイッチングを行いたいタイミングで規定電圧である第2ゲート電圧を印加しスムーズにターンオンでき、トランジスタのターンオン時での電流サージ及びノイズの発生を抑制するとともに、スイッチング損失及びスイッチング時間を低減することができる効果がある。

【0013】

本発明に記載の半導体駆動回路は、絶縁ゲート型のトランジスタを駆動する半導体駆動回路であって、トランジスタの主電流に基づいてトランジスタに印加するゲート電圧を生成する電圧供給部と、電圧供給部で生成されたゲート電圧をトランジスタに印加する駆動部と、駆動部がトランジスタにゲート電圧を印加するタイミングを制御するタイミング制御部とを備えるので、トランジスタのターンオン時での電流サージ及びノイズの発生を抑制するとともに、スイッチング損失も低減しつつ最適なスイッチング時間で駆動することができ、且つコレクタ電流に基づくことにより連続的にゲート電圧を変化させることができる。また、電圧供給部とタイミング制御部とは別々に設けられているため、ターンオンのタイミングを一定に保つことができ、常に適切なタイミングでゲート電圧を変化させることができる効果がある。

【発明を実施するための最良の形態】**【0014】****(実施の形態1)**

図1に、本実施の形態に係る半導体駆動回路の回路図を示す。本実施の形態に半導体駆動回路は、絶縁ゲート型のトランジスタ1と、トランジスタ1を駆動するための駆動部2と、駆動部2のタイミングを制御するタイミング制御部3とにより構成されている。図1では、トランジスタ1はIGBTが用いられている。なお、トランジスタ1はMOSFETでも良い。駆動部2は、1段目のドライブ回路21と2段目のドライブ回路22とが設

けられている。そして、ドライブ回路 21 には、トランジスタ 1 の閾値電圧より低い電圧 V_a と負バイアス値 (-5 V) とが供給され、ドライブ回路 21 の出力が、トランジスタ 1 のゲート電極に接続している。また、ドライブ回路 22 は、トランジスタ 1 に印加される規定電圧 ($+15\text{ V}$) と負バイアス値 (-5 V) とが供給され、ドライブ回路 22 の出力が、トランジスタ 1 のゲート電極に接続している。

【0015】

タイミング制御部 3 には、信号電圧に傾きを持たせるための抵抗 31 とコンデンサー 32 とが設けられており、抵抗 31 が正の基準電圧 ($+5\text{ V}$) とコンデンサー 32 が負の基準電圧 (-5 V) とそれぞれ接続されている。さらに、タイミング制御部 3 には、1 段目のシュミットトリガ 33 と 2 段目のシュミットトリガ 34 とが設けられている。シュミットトリガ 33 の正側の入力部は、抵抗 35 を介して負の基準電圧 (-5 V) と接続され、さらに抵抗 36 を介してシュミットトリガ 34 の正側の入力部に接続されている。シュミットトリガ 34 の正側の入力部は、抵抗 36 を介して正の基準電圧 ($+5\text{ V}$) にも接続されている。

【0016】

シュミットトリガ 33 とシュミットトリガ 34 との負側の入力部は、抵抗 31 とコンデンサー 32 とで傾きを持たせた信号電圧が入力される。シュミットトリガ 33 の出力は、ドライブ回路 21 に入力されている。シュミットトリガ 34 の出力は、ドライブ回路 22 に入力されている。

【0017】

次に、本実施の形態に係る半導体駆動回路の動作について説明する。図 2 に、本実施の形態に係るタイミング制御部 3 のタイミングチャートを示す。まず、トランジスタ 1 を駆動するための信号電圧が、タイミング制御部 3 に供給される。供給される信号電圧は、立ち上がりの波形である。この信号電圧に、抵抗 31 とコンデンサー 32 とで傾きを持たせる。図 2 (a) に、信号電圧に傾きを持たせた後の電圧波形 V_s を示す。電圧波形 V_s は、シュミットトリガ 33 とシュミットトリガ 34 との負側の入力に入力される。

【0018】

入力された電圧波形 V_s は、それぞれのシュミットトリガ 33, 34 の正側の入力部に入力される電圧と比較される。ここで、シュミットトリガ 33, 34 の正側の入力部には、基準電圧を抵抗 35, 36, 37 で分圧した電圧が入力される。なお、シュミットトリガ 33 の正側に入力される電圧 V_1 より、シュミットトリガ 34 の正側に入力される電圧 V_2 の方が高くなる。図 2 (a) には、電圧 V_1 と電圧 V_2 とが記載されている。

【0019】

シュミットトリガ 33 において、電圧波形 V_s と電圧 V_1 を比較する。そして、電圧波形 V_s が電圧 V_1 以上になった時点で、シュミットトリガ 33 から電圧が出力されドライブ回路 21 に印加される。図 2 (a) においては、電圧波形 V_s が電圧 V_1 と交差した時点で、図 2 (b) に示すように、シュミットトリガ 33 から電圧が出力される。

【0020】

同様に、シュミットトリガ 34 において、電圧波形 V_s と電圧 V_2 を比較する。そして、電圧波形 V_s が電圧 V_2 以上になった時点で、シュミットトリガ 34 から電圧が出力されドライブ回路 22 に印加される。図 2 (a) においては、電圧波形 V_s が電圧 V_2 と交差した時点で、図 2 (c) に示すように、シュミットトリガ 34 から電圧が出力される。

【0021】

ドライブ回路 21 にシュミットトリガ 33 から電圧が印加されると、ドライブ回路 21 に供給されている電圧 V_a がトランジスタ 1 のゲート電極に印加される。図 3 に、本実施の形態に係るトランジスタ 1 の動作のタイミングチャートを示す。図 3 (a) に、ゲート電極に印加されるゲート電圧が示されている。ドライブ回路 21 からゲート電圧 V_a が印加されると、ゲート・エミッタ間の電圧が増加する。図 3 (b) に、ゲート・エミッタ間の電圧が示されている。しかし、ゲート電圧 V_a は、トランジスタの閾値電圧より低い値であるため、ゲート電圧 V_a が印加されてもトランジスタを流れる主電流 (以下、コレク

タ電流という)は流れない。図3(c)に、コレクタ電流が示されている。

【0022】

次に、ドライブ回路22にシュミットトリガ34から電圧が印加されると、ドライブ回路22に供給されている規定電圧(+15V)がトランジスタ1のゲート電極に印加される。図3(a)に示すように、電圧V_aから規定電圧(+15V)へステップ状にゲート電圧が印加される。規定電圧(+15V)がゲート電極に印加されることにともない、ゲート・エミッタ間の電圧も増加し、コレクタ電流も流れる。図3(b)及び図3(c)に、ゲート・エミッタ間の電圧及びコレクタ電流が増加する様子が示されている。

【0023】

図3(c)でコレクタ電流がピークに達した時点から、ゲート・エミッタ間の電圧が一時的に増加しなくなるが、トランジスタ1のミラー効果によるものであり、この期間をミラー効果時間と呼ぶ。このミラー効果時間内において、コレクタ・エミッタ間の電圧は減少する。図3(d)に、コレクタ・エミッタ間の電圧が減少する様子が示されている。また、図3(c)に示すコレクタ電流の斜線部は、リカバリー電流を示している。

【0024】

以上のように、本実施の形態に記載の半導体駆動回路は、絶縁ゲート型のトランジスタ1を駆動する半導体駆動回路であって、トランジスタ1にゲート電圧を印加する駆動部2と、駆動部2のタイミングを制御するタイミング制御部3とを備え、駆動部2が、ゲート電圧として、トランジスタ1の閾値より小さい電圧であるゲート電圧V_aと、トランジスタ1を駆動する規定電圧であるゲート電圧(+15V)とをトランジスタ1に印加可能であり、タイミング制御部3が、ゲート電圧V_aを規定電圧(+15V)に先立ちトランジスタ1に印加するように駆動部2を制御するので、ゲート・エミッタ間に、予めトランジスタ1がスイッチングしない程度の電圧V_aを印加する状態を作り、スイッチングを行いたいタイミングに規定電圧(+15V)を印加した際にスムーズにターンオンでき、トランジスタ1のターンオン時での電流サージ及びノイズの発生を抑制するとともに、スイッチング損失及びスイッチング時間を低減することができる。

【0025】

(実施の形態2)

図4に、本実施の形態に係る半導体駆動回路の回路図を示す。本実施の形態に半導体駆動回路も、絶縁ゲート型のトランジスタ1と、トランジスタ1を駆動するための駆動部2と、駆動部2のタイミングを制御するタイミング制御部3とにより構成されている。図4では、トランジスタ1はIGBTが用いられている。駆動部2は、1段目のドライブ回路23と2段目のドライブ回路24と3段目のドライブ回路25とが設けられている。そして、ドライブ回路23には、トランジスタ1の閾値電圧より低い電圧V_aと負バイアス値(-5V)とが供給され、ドライブ回路23の出力が、トランジスタ1のゲート電極に接続している。

【0026】

また、ドライブ回路25は、トランジスタ1に印加される規定電圧(+15V)と負バイアス値(-5V)とが供給され、ドライブ回路25の出力が、トランジスタ1のゲート電極に接続している。さらに、ドライブ回路24には、電圧V_aより大きく規定電圧(+15V)より小さい電圧V_cと負バイアス値(-5V)とが供給され、ドライブ回路24の出力が、トランジスタ1のゲート電極に接続している。なお、電圧V_cは、例えば以下のように決定される。まず、トランジスタ1をターンオンした後のある時間に、トランジスタの駆動において得たいコレクタ電流を流すことができるゲート電圧値を決める。次に、スイッチングを速く行いたい場合は、決定したゲート電圧値に5V程度を加算した電圧を電圧V_cとすれば良い。また、スイッチングを遅く行いたい場合は、決定したゲート電圧値に1V程度を加算した電圧を電圧V_cとすれば良い。

【0027】

タイミング制御部3には、信号電圧に傾きをを持たせるための抵抗41とコンデンサー42とが設けられており、抵抗41が正の基準電圧(+5V)とコンデンサー42が負の基

準電圧（ -5 V ）とそれぞれ接続されている。さらに、タイミング制御部 3 には、1 段目のシュミットトリガ 4 3 と 2 段目のシュミットトリガ 4 4 と 3 段目のシュミットトリガ 4 5 とが設けられている。シュミットトリガ 4 3 の正側の入力部は、抵抗 4 6 を介して負の基準電圧（ -5 V ）と接続され、さらに抵抗 4 7 を介してシュミットトリガ 4 4 の正側の入力部に接続されている。シュミットトリガ 4 4 の正側の入力部は、抵抗 4 8 を介してシュミットトリガ 4 5 の正側の入力部にも接続されている。シュミットトリガ 4 5 の正側の入力部は、抵抗 4 9 を介して正の基準電圧（ $+5\text{ V}$ ）にも接続されている。

【0028】

シュミットトリガ 4 3 乃至シュミットトリガ 4 5 の負側の入力は、抵抗 4 1 とコンデンサ 4 2 とで傾きを持たせた信号電圧が入力される。シュミットトリガ 4 3 の出力は、ドライブ回路 2 3 に入力されている。シュミットトリガ 4 4 の出力は、ドライブ回路 2 4 に入力されている。シュミットトリガ 4 5 の出力は、ドライブ回路 2 5 に入力されている。

【0029】

次に、本実施の形態に係る半導体駆動回路の動作について説明する。図 5 に、本実施の形態に係るタイミング制御部 3 のタイミングチャートを示す。まず、トランジスタ 1 を駆動するための信号電圧が、タイミング制御部 3 に供給される。供給される信号電圧は、立ち上がりパルス波形である。この信号電圧に、抵抗 4 1 とコンデンサ 4 2 とで傾きを持たせる。図 5（a）に、信号電圧に傾きを持たせた後の電圧波形 V_s を示す。電圧波形 V_s は、シュミットトリガ 4 3 乃至シュミットトリガ 4 5 の負側の入力に入力される。

【0030】

入力された電圧波形 V_s は、それぞれのシュミットトリガ 4 3 乃至シュミットトリガ 4 5 の正側の入力部に入力される電圧と比較される。ここで、シュミットトリガ 4 3 乃至シュミットトリガ 4 5 の正側の入力部には、基準電圧を抵抗 4 6、4 7、4 8、4 9 で分圧した電圧が入力される。なお、シュミットトリガ 4 3 の正側に入力される電圧 V_1 より、シュミットトリガ 4 4 の正側に入力される電圧 V_2 の方が高くなる。また、シュミットトリガ 4 4 の正側に入力される電圧 V_2 より、シュミットトリガ 4 5 の正側に入力される電圧 V_3 の方が高くなる。図 5（a）には、電圧 V_1 乃至電圧 V_3 が記載されている。

【0031】

シュミットトリガ 4 3 において、電圧波形 V_s と電圧 V_1 を比較する。そして、電圧波形 V_s が電圧 V_1 以上になった時点で、シュミットトリガ 4 3 から電圧が出力されドライブ回路 2 3 に印加される。図 5（a）においては、電圧波形 V_s が電圧 V_1 と交差した時点で、図 5（b）に示すように、シュミットトリガ 4 3 から電圧が出力される。

【0032】

同様に、シュミットトリガ 4 4 において、電圧波形 V_s と電圧 V_2 を比較する。そして、電圧波形 V_s が電圧 V_2 以上になった時点で、シュミットトリガ 4 4 から電圧が出力されドライブ回路 2 4 に印加される。図 5（a）においては、電圧波形 V_s が電圧 V_2 と交差した時点で、図 5（c）に示すように、シュミットトリガ 4 4 から電圧が出力される。

【0033】

同様に、シュミットトリガ 4 5 において、電圧波形 V_s と電圧 V_3 を比較する。そして、電圧波形 V_s が電圧 V_3 以上になった時点で、シュミットトリガ 4 5 から電圧が出力されドライブ回路 2 5 に印加される。図 5（a）においては、電圧波形 V_s が電圧 V_3 と交差した時点で、図 5（d）に示すように、シュミットトリガ 4 5 から電圧が出力される。

【0034】

ドライブ回路 2 3 にシュミットトリガ 4 3 から電圧が印加されると、ドライブ回路 2 3 に供給されている電圧 V_a がトランジスタ 1 のゲート電極に印加される。図 6 に、本実施の形態に係るトランジスタ 1 のタイミングチャートを示す。図 6（a）に、ゲート電極に印加されるゲート電圧が示されている。ドライブ回路 2 3 からゲート電圧 V_a が印加されると、ゲート・エミッタ間の電圧が増加する。図 6（b）に、ゲート・エミッタ間の電圧が示されている。しかし、ゲート電圧 V_a は、トランジスタの閾値電圧より低い値であるため、ゲート電圧 V_a が印加されてもコレクタ電流は流れない。図 6（c）に、コレクタ

電流が示されている。

【0035】

次に、ドライブ回路24にシュミットトリガ44から電圧が印加されると、ドライブ回路24に供給されている電圧 V_c がトランジスタ1のゲート電極に印加される。図6(a)に示すように、電圧 V_a から電圧 V_c へステップ状にゲート電圧が印加される。電圧 V_c がゲート電極に印加されることにともない、ゲート・エミッタ間の電圧も増加し、コレクタ電流も流れる。図6(b)及び図6(c)に、ゲート・エミッタ間の電圧及びコレクタ電流が増加する様子が示されている。

【0036】

次に、ドライブ回路25にシュミットトリガ45から電圧が印加される。なお、ミラー効果時間内であってコレクタ電流のリカバリー電流終了後のタイミングに、ドライブ回路25に規定電圧(+15V)が印加される。これらのタイミングは、タイミング制御部3の抵抗41、46、47、48、49やコンデンサ42の値を例えば実験的に求めることで調整することができる。図6(a)に示す規定電圧(+15V)を印加するタイミングは、斜線のリカバリー電流が終了した後で、且つミラー効果時間内である。

【0037】

ドライブ回路25に供給されている規定電圧(+15V)がトランジスタ1のゲート電極に印加されると、ゲート・エミッタ間の電圧は増加するが、コレクタ電流は増加せず一定値である。図6(b)及び図6(c)に、ゲート・エミッタ間の電圧及びコレクタ電流の変化の様子が示されている。

【0038】

以上のように、本実施の形態に記載の半導体駆動回路は、駆動部2が、ゲート電圧 V_a より大きく規定電圧(+15V)より小さい電圧であるゲート電圧 V_c をさらにトランジスタ1に印加可能であり、タイミング制御部3が、ゲート電圧 V_a を印加後にゲート電圧 V_c をトランジスタ1に印加し、トランジスタのミラー効果時間内であってトランジスタ1のコレクタ電流のリカバリー電流終了後に規定電圧(+15V)をトランジスタ1に印加するように駆動部2を制御するので、トランジスタのターンオン時での電流サージ及びノイズの発生を抑制するとともに、スイッチング損失及びスイッチング時間を低減できる。また、トランジスタ1のターンオン時の駆動を3段階に分けることにより、トランジスタ1がオン状態のときに生じる定常ロスの増大を防ぐことができる。さらに、本実施の形態のゲート電圧印加は、実施の形態1では発生する可能性があったリカバリー電流のリングングに対して、その発生のタイミングにゲート・エミッタ間電圧を大きくなるように駆動している。そのため、トランジスタ1のコレクタ電流を流す方向に作用してリカバリー電流のやり戻しを防ぎ、コレクタ電流を安定させることができる。

【0039】

(実施の形態3)

本実施の形態に係る半導体駆動回路は、実施の形態2で示した図4の2段目のドライブ回路24に、トランジスタ1のコレクタ電流に基づく電圧 V_c を生成し供給する電圧供給部が設けられた回路である。図7に、本実施の形態に係る電圧供給部5の回路図を示す。図7に示す電圧供給部5は、トランジスタ1でのコレクタ電流を検出することにより、ドライブ回路24に供給する電圧 V_c を制御している。この電圧供給部5は、シャットダウン回路部6、電圧保持回路部8及び電圧調整部9により構成されている。

【0040】

まず、シャットダウン回路部6について説明する。シャットダウン回路部6では、トランジスタ1のコレクタ電流をオペアンプ61の正側入力部に入力している。このオペアンプ61の負側入力部はグラウンドに接続され、さらに抵抗62を介してオペアンプ61の正側入力部にも接続されている。オペアンプ61を制御して、コレクタ電流を電圧として電圧保持回路部8に出力する。電圧保持回路部8とオペアンプ61とは抵抗63を介して接続されている。

【0041】

オペアンプ 61 の制御は、信号電圧により制御される。まず信号電圧に傾きを持たせるための抵抗 64 とコンデンサー 65 とが設けられており、抵抗 64 が正の基準電圧 (+5 V) とコンデンサー 65 が負の基準電圧 (-5 V) とそれぞれ接続されている。傾きを持たせた信号電圧は、シュミットトリガ 66 の負側の入力部に入力される。シュミットトリガ 66 の正側の入力部には、抵抗 67 を介して正の基準電圧 (+5 V) と接続され、さらに抵抗 68 を介して負の基準電圧 (-5 V) と接続されている。シュミットトリガ 66 の出力は、抵抗 69 を介してトランジスタ 70 のベース電極に接続されている。

【0042】

トランジスタ 70 のエミッタ電極は、負の基準電圧 (-5 V) に接続されている。トランジスタ 70 のコレクタ電極は、オペアンプ 61 を制御するために接続されている。また、トランジスタ 70 のコレクタ電極は、抵抗 71 を介して正の基準電圧 (+5 V) に接続されている。

【0043】

次に、電圧保持回路部 8 について説明する。この電圧保持回路部 8 は、コレクタ電流から得られた電圧を保持し、電圧調整部 9 に保持した電圧を出力している。電圧保持回路部 8 は、コンデンサー 81 とゲイン可変アンプ 82 とで構成されている。コンデンサー 81 は、オペアンプ 61 の出力とグランドとの間に設けられ、ゲイン可変アンプ 82 の入力と接続されている。ゲイン可変アンプ 82 は、外部電圧が供給され、出力が電圧調整部 9 と接続されている。

【0044】

次に、電圧調整部 9 について説明する。この電圧調整部 9 は、電圧保持回路部 8 から得られた電圧をドライブ回路 24 へ供給する電圧に調整する部分である。ゲイン可変アンプ 82 の出力は、オペアンプ 91 の正側の入力部に入力されている。一方、オペアンプ 91 の負側の入力部は、抵抗 92 を介して正側の外部電圧と接続され、さらに抵抗 93 を介して負の基準電圧 (-5 V) と接続されている。また、オペアンプ 91 の負の入力部とオペアンプ 91 の出力部との間には抵抗 94 と抵抗 95 とが並列に接続され、さらに抵抗 95 と直列にツェナーダイオード 96 が接続されている。

【0045】

オペアンプ 91 の出力部は、抵抗 97 を介してトランジスタ 98 のベース電極に接続されている。トランジスタ 98 のエミッタ電極は、ドライブ回路 24 と接続され、さらにコンデンサー 99 を介してグランドに接地されている。トランジスタ 98 のコレクタ電極は、正の基準電圧 (+5 V) と接続されている。

【0046】

次に、本実施の形態に係る半導体駆動回路の動作について説明する。図 8 に、本実施の形態に係るタイミング制御部 3 及び電圧供給部 5 の動作のタイミングチャートを示す。まず、トランジスタ 1 を駆動するための信号電圧は、抵抗 41 とコンデンサー 42 とで傾きを持たせる。図 8 (a) に、信号電圧に傾きを持たせた後の電圧波形 V_s を示す。同様に、シャットダウン回路部 6 にも同じ信号電圧が供給され、抵抗 64 とコンデンサー 65 とで傾きを持たせる。傾きを持たせた信号電圧は、図 8 (a) に示す電圧波形 V_s となる。

【0047】

この電圧波形 V_s は、シュミットトリガ 43 乃至シュミットトリガ 45 の負側の入力に入力されことにより、ドライブ回路 23 乃至ドライブ回路 25 を駆動するタイミングを制御している。詳細については、実施の形態 2 で説明をしているため省略する。

【0048】

一方、シャットダウン回路部 6 に入力された電圧波形 V_s は、シュミットトリガ 66 の負側の入力部に入力され、正側の入力部に入力される電圧と比較される。ここで、シュミットトリガ 66 の正側の入力部には、基準電圧を抵抗 67, 68 で分圧した電圧が入力される。なお、シュミットトリガ 45 の正側に入力される電圧 V_3 より、シュミットトリガ 66 の正側に入力される電圧 V_4 の方が高くなる。図 8 (a) には、電圧 V_1 乃至電圧 V_4 が記載されている。

【0049】

シュミットトリガ66において、電圧波形 V_s と電圧 V_4 を比較する。そして、電圧波形 V_s が電圧 V_4 以上になった時点で、シュミットトリガ66から電圧が出力され抵抗69を介してトランジスタ70に印加される。図8(a)においては、電圧波形 V_s が電圧 V_4 と交差した時点で、図8(e)に示すように、シュミットトリガ66から電圧が出力される。

【0050】

シュミットトリガ66からの出力がトランジスタ70に印加されることにより、トランジスタ70のエミッタ・コレクタ間に電流が流れオペアンプ61のシャットダウン状態が解除される。オペアンプ61がシャットダウン状態の場合は、トランジスタ1のコレクタ電流から得られた電圧を電圧保持回路部8に供給することはできない。しかし、オペアンプ61のシャットダウン状態が解除されると、コレクタ電流から得られた電圧が電圧保持回路部8に供給される。つまり、コレクタ電流から得られた電圧は、コンデンサ81に保持されることになる。

【0051】

図9に、シュミットトリガ66の出力と、コンデンサ81の電圧と、トランジスタ1のコレクタ電流との関係を示したタイミングチャートを示す。図9では、シュミットトリガ66から電圧が出力されると、コンデンサ81の電圧はコレクタ電流の増加に従って増加している。次に、シュミットトリガ66から電圧が印加されなくなると、コンデンサ81の電圧はコレクタ電流の変化と無関係に一定値となる。なお、シュミットトリガ66から電圧が出力されている期間が、シャットダウン解除期間であり、それ以外のシュミットトリガ66から電圧が出力されていない期間が、シャットダウン期間である。

【0052】

シャットダウン解除期間を詳しく説明するため、図10に、コレクタ電流のタイミングチャートを示す。図10では、コレクタ電流の立ち上がり部分とコレクタ電流の立ち下がり部分を不感時間として表している。この不感時間はコレクタ電流が不安定であるため、電圧供給部5でコレクタ電流の検出は行わない。図10に示すコレクタ電流がほぼ単調に増加する期間をサンプルホールド期間とする。このサンプルホールド期間が、図9に示すシャットダウン解除期間に該当し、この期間に検出されたコレクタ電流に基づき、ドライバ回路24に供給される電圧が決定される。本実施の形態では、シャットダウン回路6を制御することにより、コレクタ電流が安定する期間のみコレクタ電流を検出している。

【0053】

次に、シャットダウン解除期間においてシュミットトリガ61から出力された電圧が、コンデンサ81に保持される。コンデンサ81に最終的に保持される電圧は、図9に示すシャットダウン解除期間の最大値である。コンデンサ81に保持された電圧は、ゲイン可変アンプ82により入出力比を変更した後に電圧調整部9に入力される。なお、コンデンサ81に保持された電圧は、次回スイッチング時のドライバ回路24に供給される電圧として利用される。その後、次のシャットダウン解除期間における最大値が、コンデンサ81に保持されることになる。

【0054】

電圧調整部9に入力された電圧は、コレクタ電流を変数とする所定の関数に従う電圧に調整される。本実施の形態では、コレクタ電流を I_c とすると、電圧調整部9から出力される電圧 V_g は、 $V_g = 0.8884 \times (I_c)^{1/2} + 8.085$ となる。なお、以上のようなコレクタ電流の平方根に比例する電圧に調整するためには、図7に示した電圧調整部9の回路構成となる。さらに、係数が0.8884、定数が8.085とするためには、17Vのツェナーダイオード96、4.7k Ω の抵抗95、91k Ω の抵抗94、33k Ω の抵抗93、15k Ω の抵抗92と構成する必要がある。

【0055】

図7に示した電圧調整部9の回路構成で、出力電圧がコレクタ電流の平方根に比例するように調整される理由を定性的に述べる。オペアンプ91の入出力電位差が一定値（ツェ

ナー電位)未満の場合、ツェナーダイオード96は絶縁体として働き、抵抗94のみでゲインが決まる。この入出力電位差が一定値(ツェナー電位)以上になると、ツェナーダイオード96に電流が流れ、抵抗94と抵抗95との合成抵抗でゲインが決まる。この合成抵抗は、抵抗94のみよりも小さい値となりゲインは小さくなる。しかし、ツェナーダイオード96に電流が流れると、ツェナーダイオード96に直列に接続されている抵抗95にも電流が流れるため、その分だけ電圧が低下する。これにより、ツェナーダイオード96にかかっている電圧が一定値(ツェナー電位)未満となり絶縁することになる。これを繰り返すことにより、入出力電位差が大きいほどゲインが小さくなり、近似的に出力電圧がコレクタ電流の平方根に比例することとなる。

【0056】

なお、本実施の形態では所定の関数がコレクタ電流の平方根に比例する関数であったが、本発明はこれに限られず他の関数であっても良い。電圧調整部9の出力電圧 V_g はトランジスタ98のエミッタ電極よりドライブ回路24に供給される。つまり、電圧調整部9の出力電圧 V_g は、ドライブ回路24に供給される電圧 V_c となる。そして、最終的に電圧 V_c がトランジスタ1に印加される。図11に、検出されたコレクタ電流と電圧 V_c との関係を示す。

【0057】

以上のように、本実施の形態に記載の半導体駆動回路は、絶縁ゲート型のトランジスタ1を駆動する半導体駆動回路であって、トランジスタ1のコレクタ電流に基づいてトランジスタ1に印加するゲート電圧を生成する電圧供給部5と、電圧供給部5で生成されたゲート電圧をトランジスタ1に印加する駆動部2と、駆動部2がトランジスタ1にゲート電圧を印加するタイミングを制御するタイミング制御部3とを備えるので、トランジスタ1のターンオン時での電流サージ及びノイズの発生を抑制するとともに、スイッチング損失も低減しつつ最適なスイッチング時間で駆動することができ、且つコレクタ電流に基づくことにより連続的にゲート電圧を変化させることができる。また、電圧供給部5とタイミング制御部3とが別々に設けられているため、ターンオンのタイミングを一定に保つことができ、常に適切なタイミングでゲート電圧を変化させることができる。

【0058】

また、本実施の形態に記載の半導体駆動回路は、コレクタ電流に基づいてゲート電圧 V_c を生成し、駆動部2に供給する電圧供給部5をさらに備えるので、ターンオン時に段階的にゲート電圧を変化させるとともに、コレクタ電流に基づいた電圧 V_c をトランジスタ1に供給することができ、よりスイッチング損失も低減しつつ最適なスイッチング時間で駆動することができる。

【0059】

さらに、本実施の形態に記載の半導体駆動回路は、電圧供給部5が、コレクタ電流を変数とする所定の関数からゲート電圧を生成するので、ゲート電圧を一定値とした場合に比べて、コレクタ電流の平方根の関数としてゲート電圧を調整した方が、よりスイッチング損失も低減しつつ最適なスイッチング時間で駆動することができる。

【0060】

また、本実施の形態に記載の半導体駆動回路は、電圧供給部5が、トランジスタ1がターンオン又はターンオフする際のコレクタ電流を除くコレクタ電流に基づいてゲート電圧を生成するので、ターンオン又はターンオフする際のコレクタ電流は不安定であり、これをゲート電圧に反映さないことにより、スイッチング時のコレクタ電流のサージやリングの影響による誤動作を防止できる。

【0061】

さらに、本実施の形態に記載の半導体駆動回路は、電圧供給部5が、トランジスタ1の駆動期間内においてコレクタ電流の最大値を保存し、最大値に基づいて次のトランジスタ1の駆動期間に印加するゲート電圧を生成するので、瞬時検出ではノイズの影響を受け易い上、コレクタ電流の検出精度が低いことによる不安定性の影響を排除できる。

【0062】

なお、本実施の形態では、実施の形態 2 で示した 3 段階のゲート電圧をトランジスタ 1 に印加する半導体駆動回路において、2 段目のゲート電圧の生成を電圧供給部 5で行っているが、本発明はこれに限られない。例えば、1 段階のゲート電圧をトランジスタ 1 に印加する半導体駆動回路において、ゲート電圧の生成を電圧供給部 5で行っても良い。また、3 段階のゲート電圧をトランジスタ 1 に印加する半導体駆動回路において、全ての段階におけるゲート電圧の生成を電圧供給部 5で行っても良い。

【0063】

また、本実施の形態では、電圧供給部 5 においてコレクタ電流の平方根に比例するゲート電圧に調整するなどの複雑な処理を行っていた。しかし、本発明は、単純に電圧供給部 5 がコレクタ電流が大きくなるに従い、ゲート電圧が大きくなるように生成しても良い。この場合、エネルギー損失の大きいコレクタ電流の大電流時には、スイッチングを速くしエネルギー損失を抑え、エネルギー損失の小さいコレクタ電流の小電流時には、スイッチングを遅くしノイズを抑えることができる。

【0064】

さらに、本発明は、電圧供給部 5 が所定の値より小さいコレクタ電流の場合、トランジスタ 1 のスイッチングが緩やかになるようにゲート電圧を調整しても良い。具体的には、コレクタ電流が電流定格の 1 % 以下の場合に、ターンオン及びターンオフの時間を通常の時間の 2 倍以上に長くする。この場合、ノイズに強い影響があるといわれる微小電流時にスイッチングを遅くすることで、ノイズの低減を行うことができる。

【0065】

ここで、本実施の形態における駆動は、コレクタ電流が大きくなると、これに従いゲート電圧が大きくなり、コレクタ電流が小さくなると、これに従いゲート電圧が小さくなる傾向がある。図 12 に、コレクタ電流の変化におけるゲート電圧及びコレクタ・エミッタ間の電圧の変化を示す。図 12 (a) は、コレクタ電流が小さい場合である。この場合、2 段目のゲート電圧の変化が小さくなるとともに、コレクタ・エミッタ間の電圧の変化が緩やかになっている。また、図 12 (b) は、コレクタ電流が大きい場合である。この場合、2 段目のゲート電圧の変化が大きくなるとともに、コレクタ・エミッタ間の電圧の変化が大きくなっている。

【0066】

また、本実施の形態では、電圧供給部 5 が、トランジスタ 1 の駆動期間内においてコレクタ電流の最大値を保存していたが、本発明はこれに限られない。例えば、電圧供給部 5 は、トランジスタ 1 の複数回の駆動におけるコレクタ電流の平均値を算出し、平均値に基づいて次のトランジスタ 1 の駆動期間に印加するゲート電圧を生成する。この場合、本実施の形態で示した、トランジスタ 1 の駆動期間内の最大値を保存する場合に比べて、平均値とすることでノイズによる影響をさらに受けづらく、コレクタ電流の検出精度を向上させることができる。なお、コレクタ電流の平均値を算出するためには、図 7 で示した電圧保持回路部 8 に代えて、メモリと演算部を備えた回路構成等に変更する必要がある。

【図面の簡単な説明】

【0067】

【図 1】 本発明の実施の形態 1 に係る半導体駆動回路の回路図である。

【図 2】 本発明の実施の形態 1 に係る半導体駆動回路の動作のタイミングチャートである。

【図 3】 本発明の実施の形態 1 に係る半導体駆動回路の動作のタイミングチャートである。

【図 4】 本発明の実施の形態 2 に係る半導体駆動回路の回路図である。

【図 5】 本発明の実施の形態 2 に係る半導体駆動回路の動作のタイミングチャートである。

【図 6】 本発明の実施の形態 2 に係る半導体駆動回路の動作のタイミングチャートである。

【図 7】 本発明の実施の形態 3 に係る半導体駆動回路の回路図である。

【図 8】本発明の実施の形態 3 に係る半導体駆動回路の動作のタイミングチャートである。

【図 9】本発明の実施の形態 3 に係る半導体駆動回路の動作のタイミングチャートである。

【図 10】本発明の実施の形態 3 に係るコレクタ電流の波形図である。

【図 11】本発明の実施の形態 3 に係るコレクタ電流に対するゲート電圧の変化を示す図である。

【図 12】本発明の実施の形態 3 に係る半導体駆動回路の動作のタイミングチャートである。

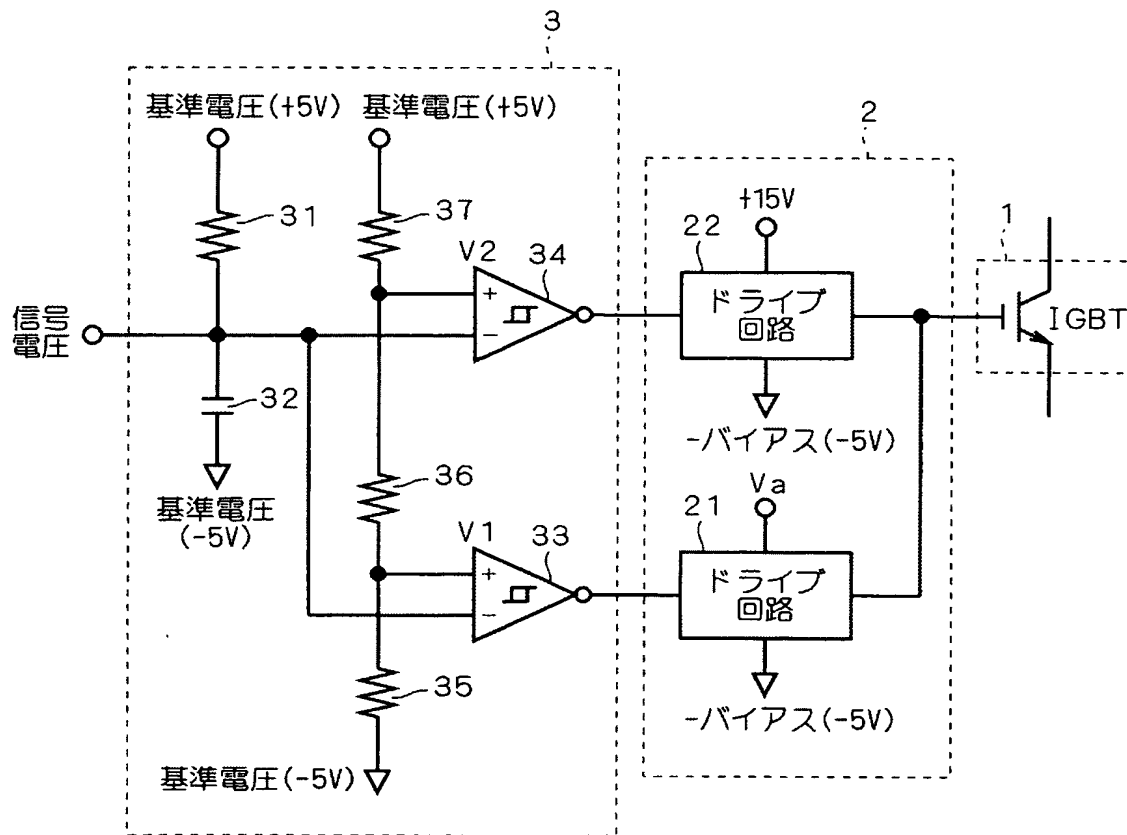
【符号の説明】

【0068】

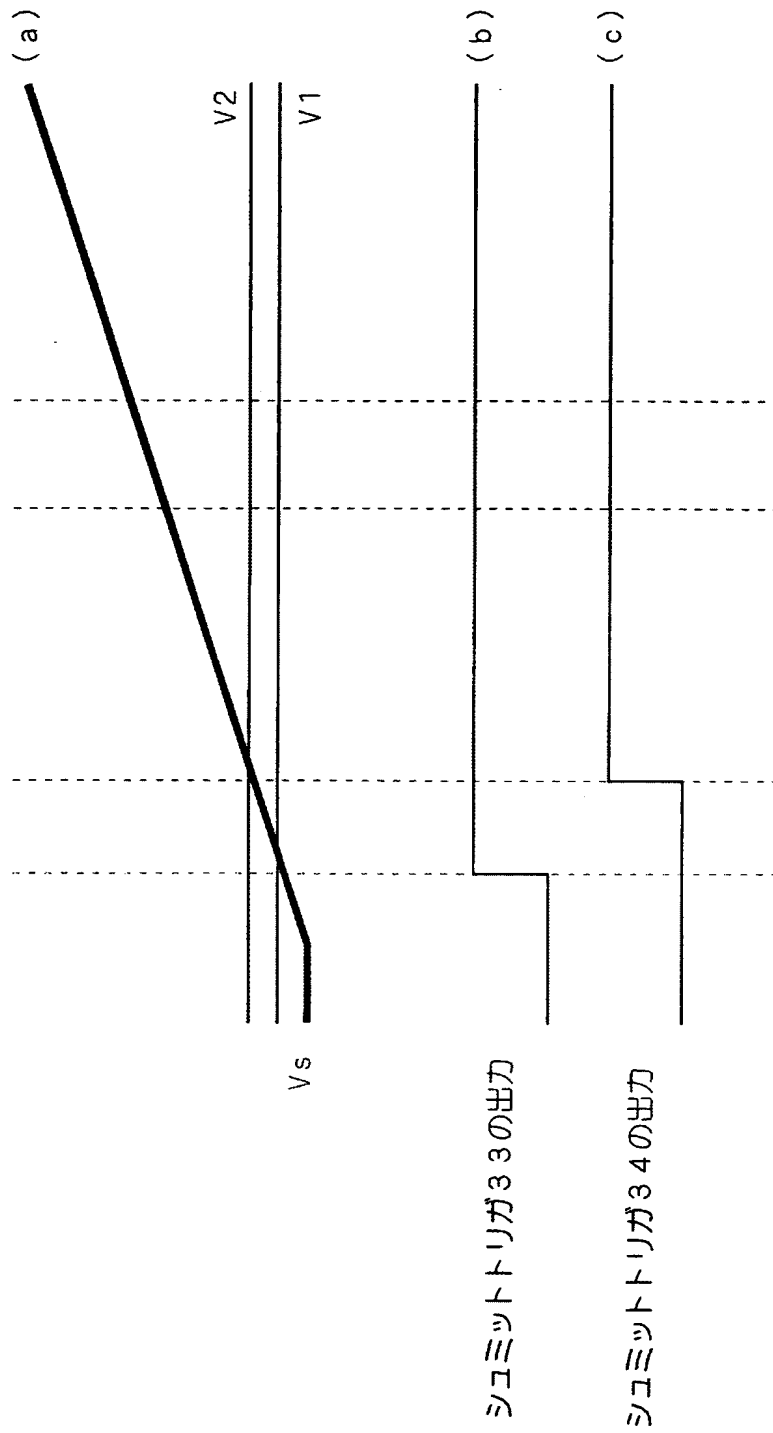
1 絶縁ゲート型トランジスタ、2 駆動部、3 タイミング制御部、5 電圧供給部、6 シャットダウン回路部、8 電圧保持回路部、9 電圧調整部、21, 22, 23, 24, 25 ドライブ回路、31, 35, 36, 37, 41, 46, 47, 48, 49, 62, 63, 64, 67, 68, 69, 71, 92, 93, 94, 95, 97 抵抗、32, 42, 65, 81, 99 コンデンサー、33, 34, 43, 44, 45, 66 シュミットトリガ、61, 91 オペアンプ、70, 98 トランジスタ、82 ゲイン可変アンプ、96 ツェナーダイオード。

【書類名】 図面

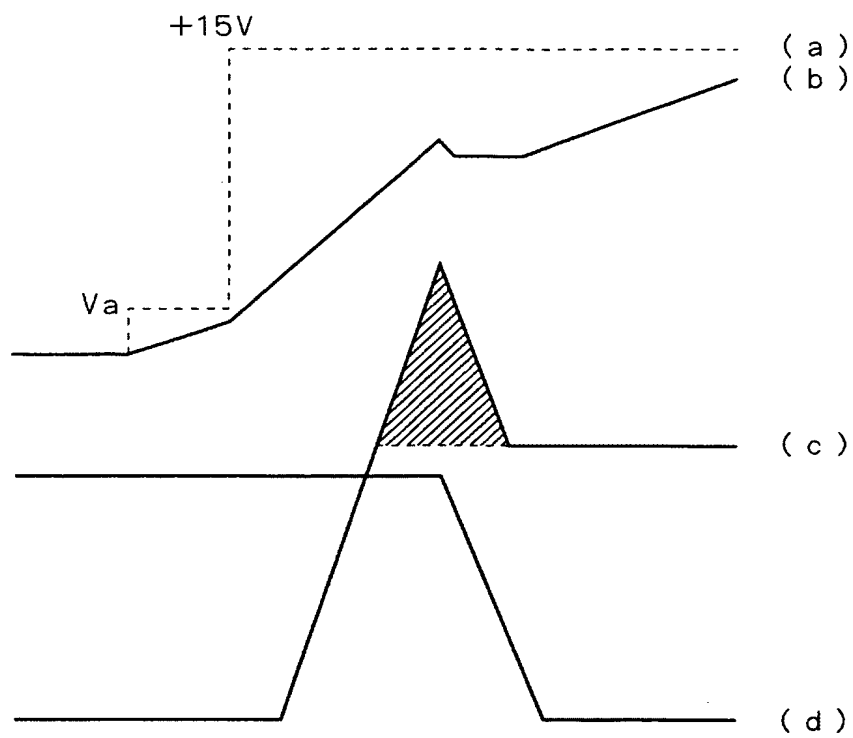
【図 1】



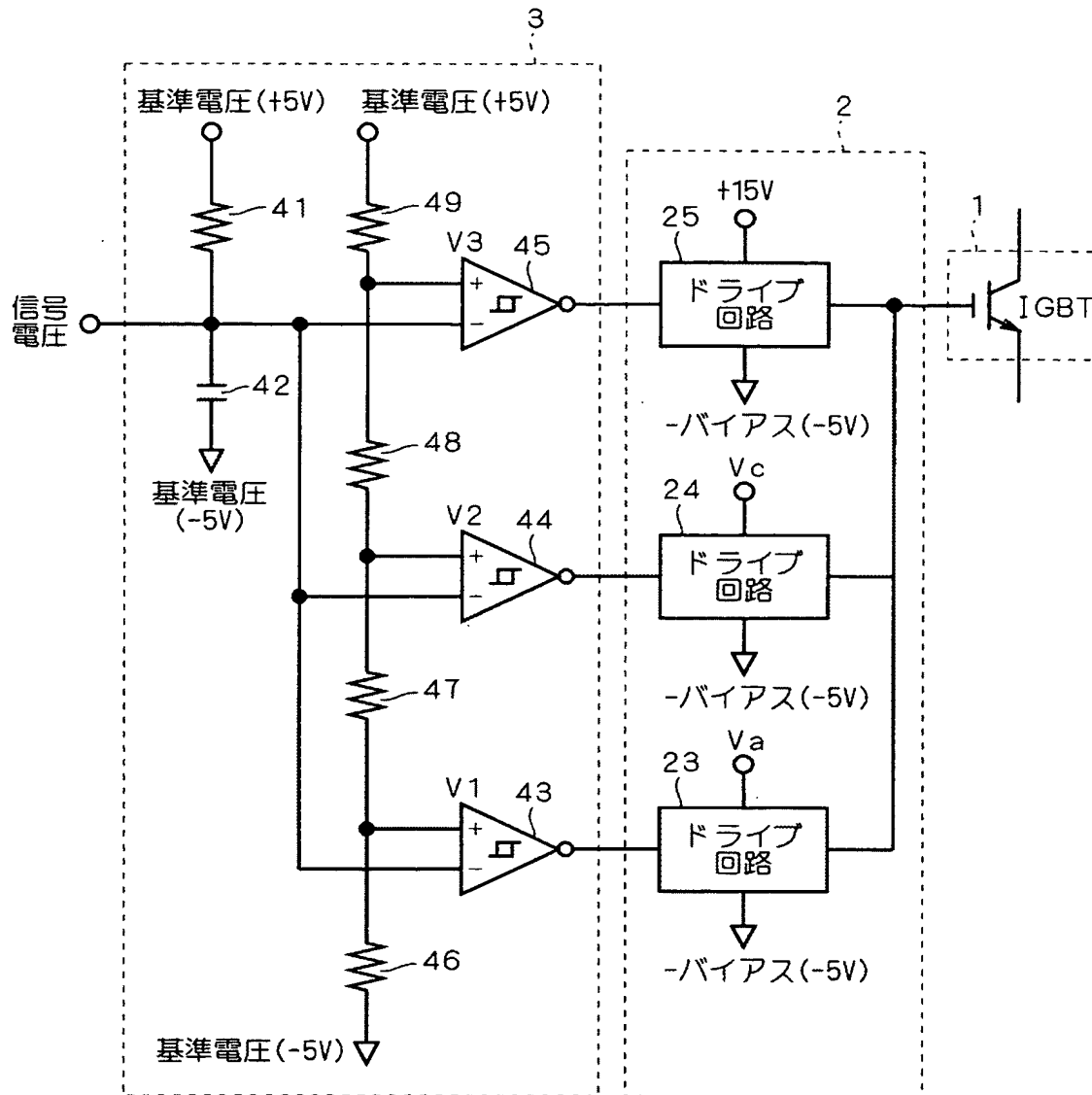
【図 2】



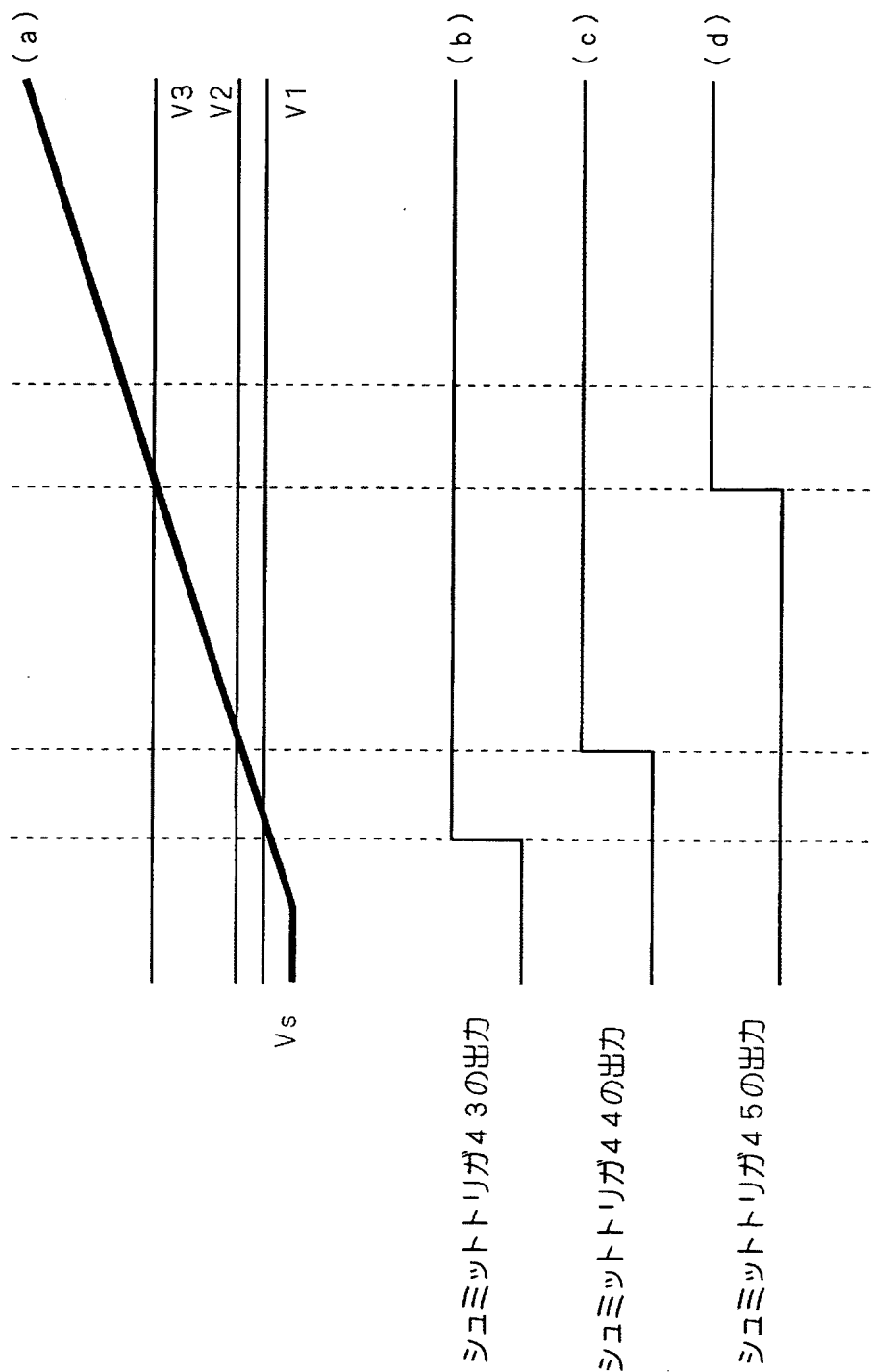
【図 3】



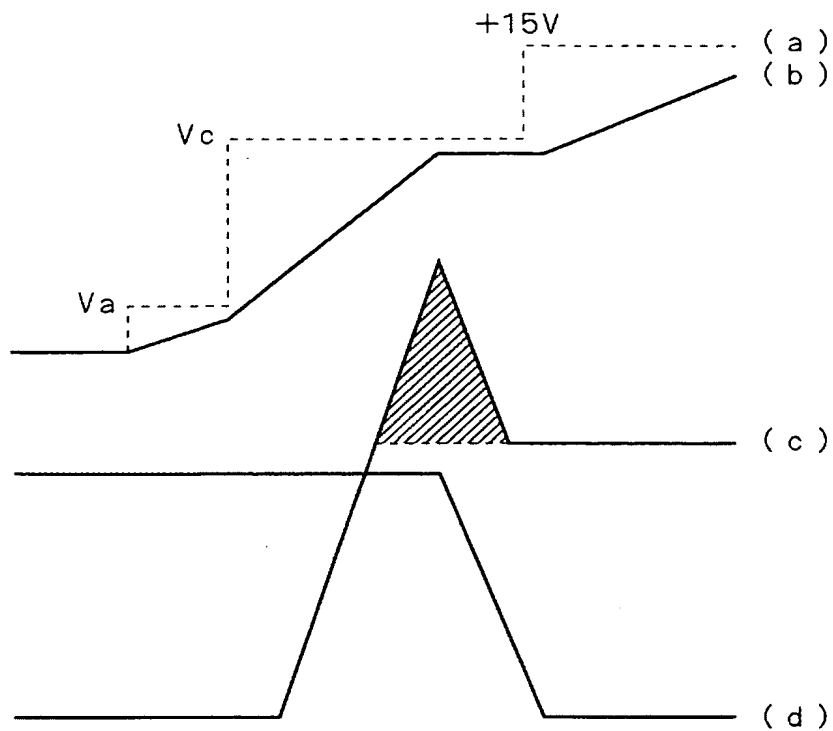
【図 4】



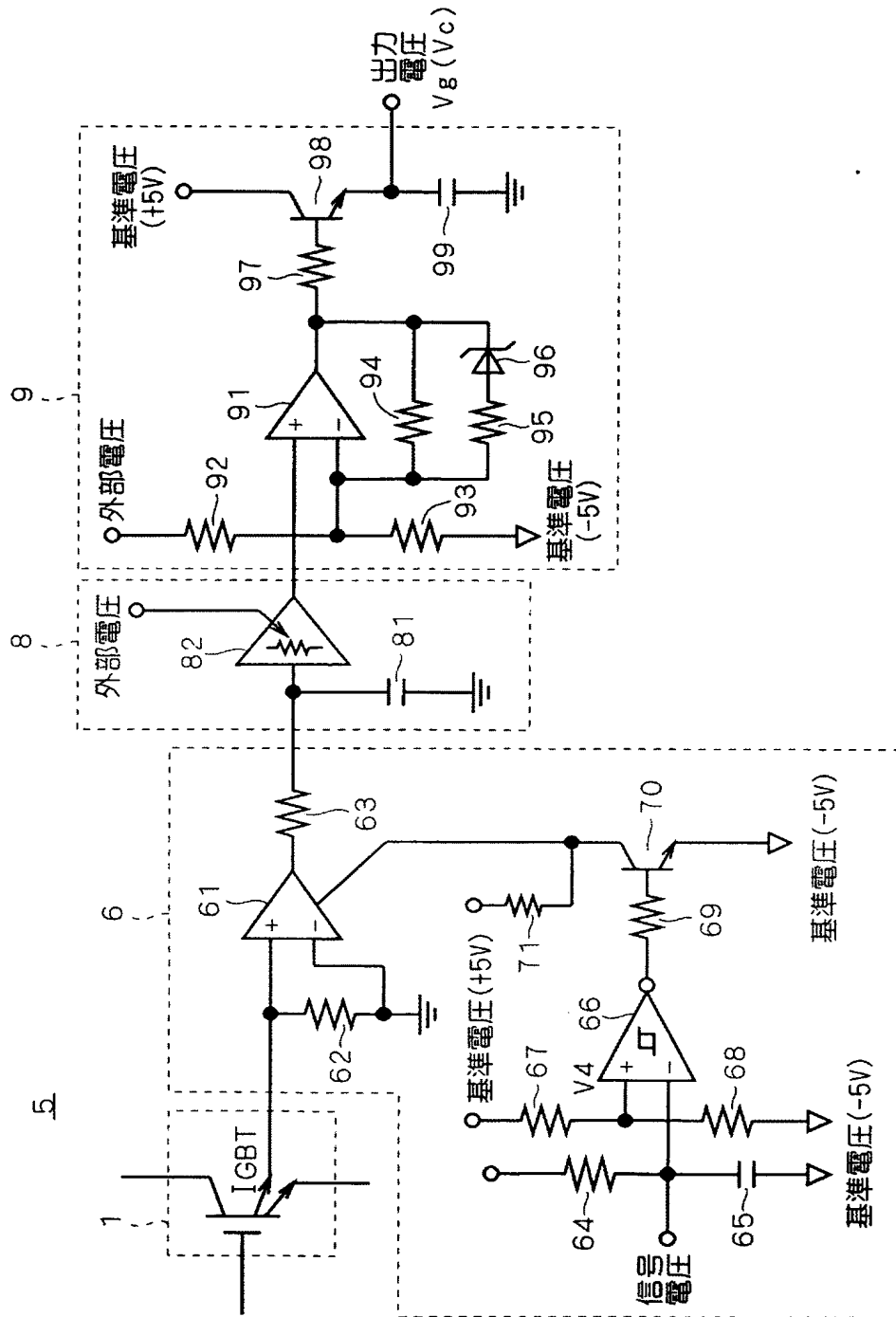
【図 5】



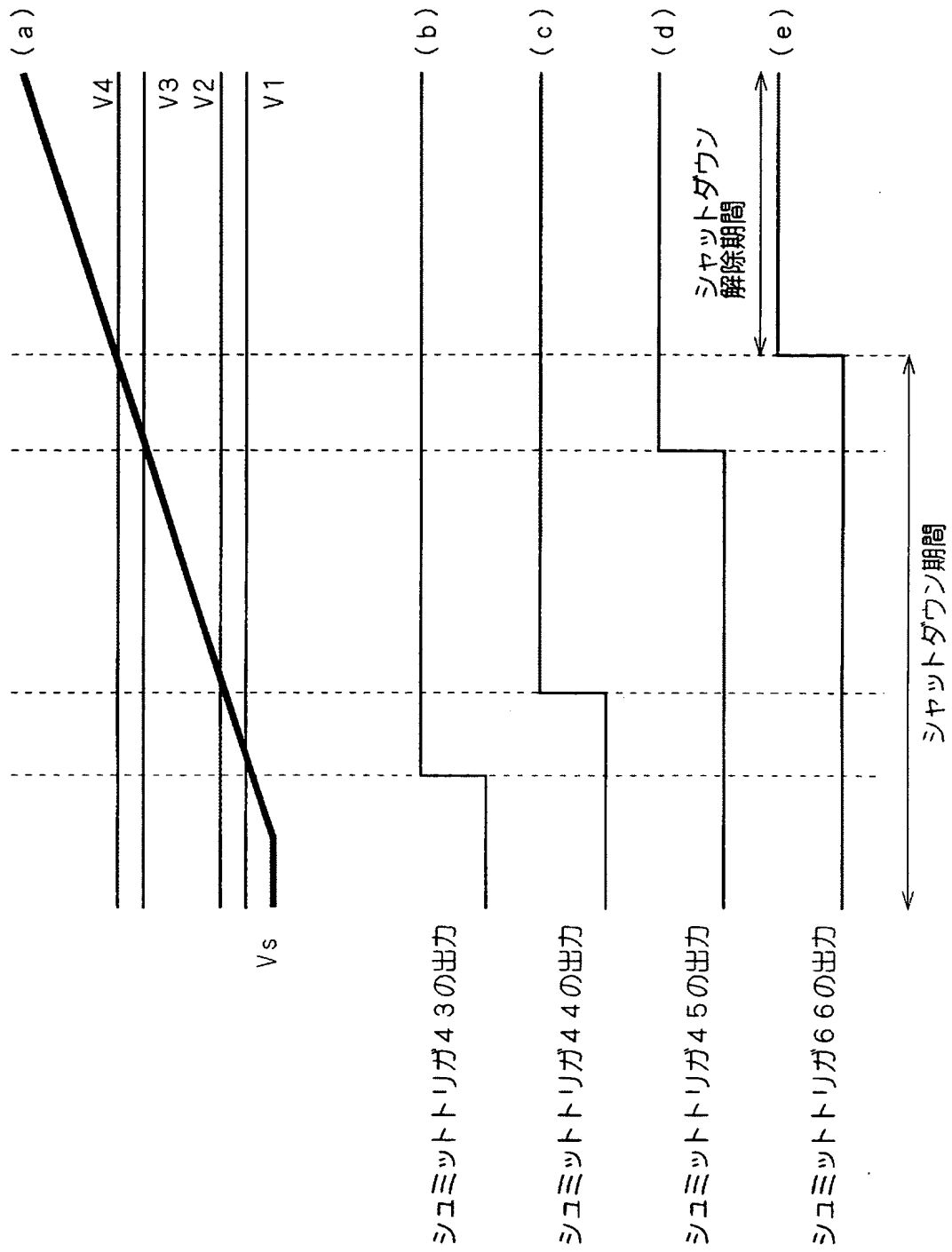
【図 6】



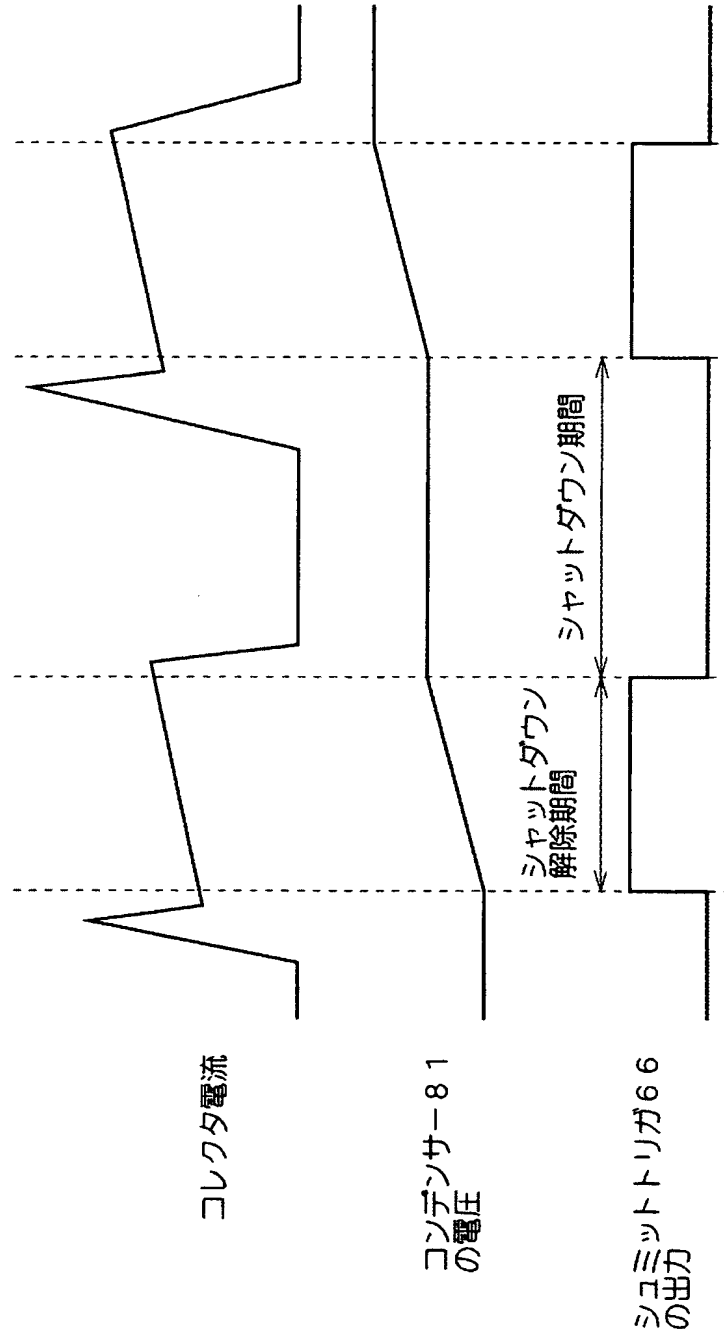
【図 7】



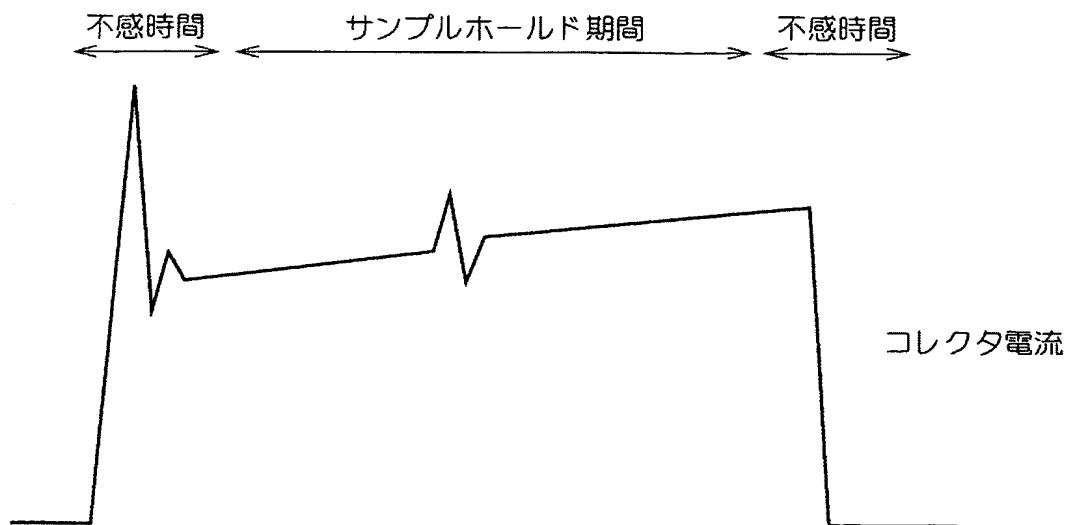
【図 8】



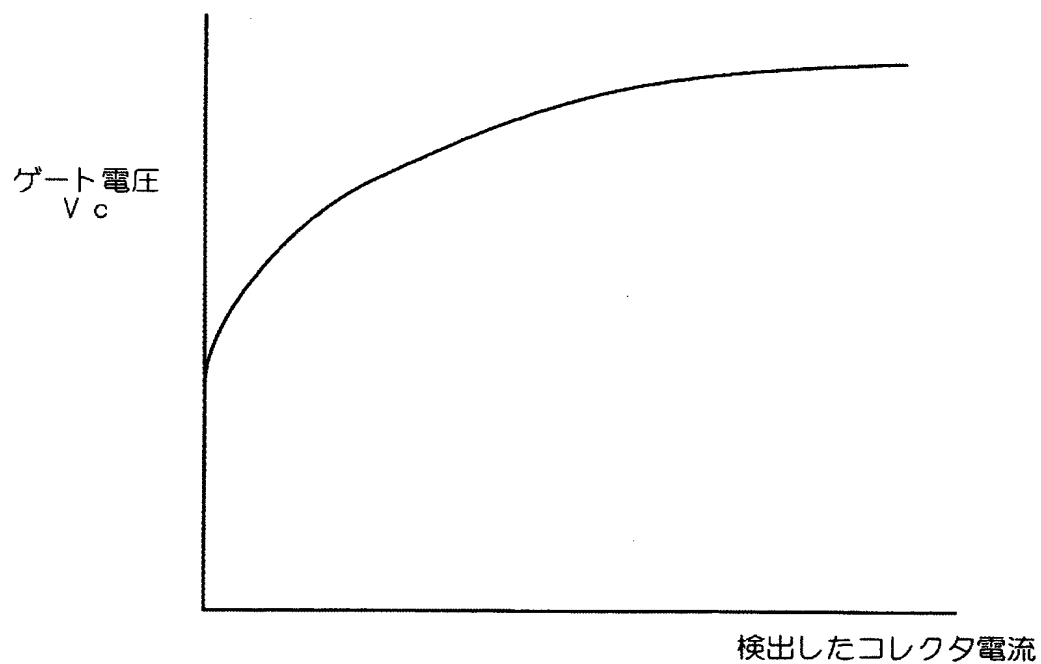
【図 9】



【図 10】

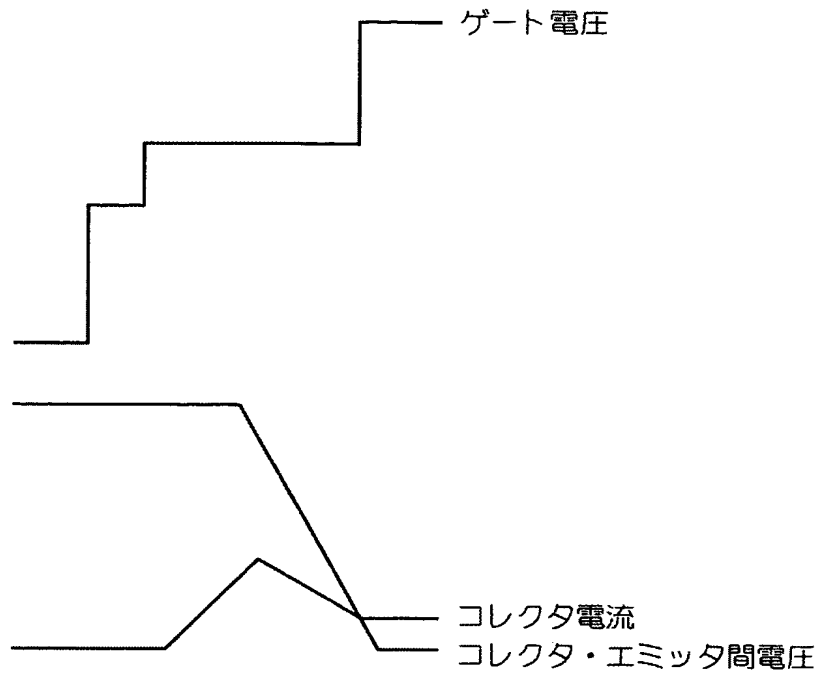


【図 11】

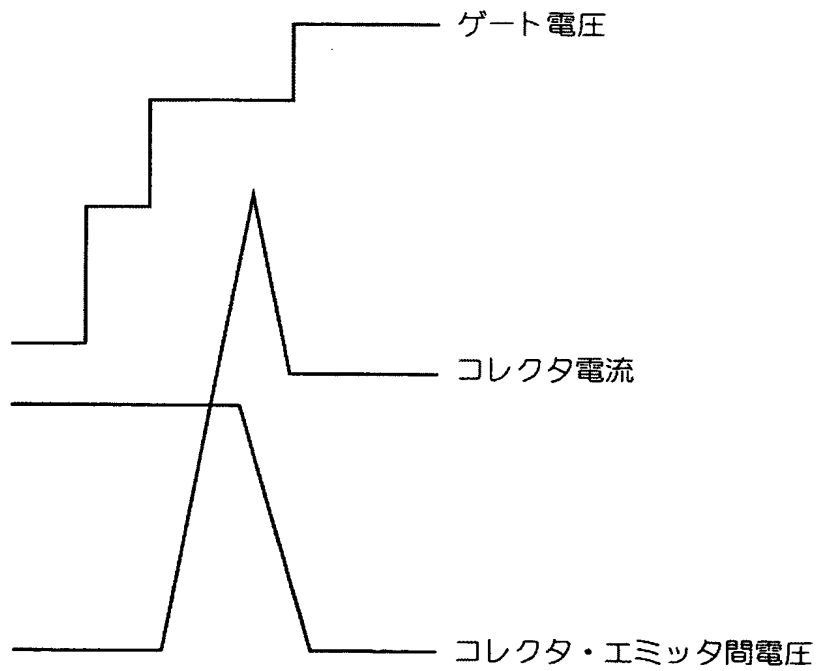


【図 12】

(a)



(b)



【書類名】 要約書**【要約】**

【課題】 本発明は、トランジスタのターンオン時での電流サージ及びノイズの発生を抑制するとともに、スイッチング損失も低減しつつ最適なスイッチング時間で駆動することができる半導体駆動回路を提供する。

【解決手段】 絶縁ゲート型のトランジスタ 1 と、複数の電圧レベル有するゲート電圧を生成し、トランジスタ 1 にゲート電圧を印加する駆動部 2 と、信号電圧に基づいて、異なる電圧レベルのゲート電圧をトランジスタ 1 に印加するタイミングを制御するタイミング制御部 3 とを備え、駆動部 2 が、トランジスタ 1 の閾値より小さい電圧であるゲート電圧 V_a と、トランジスタ 1 を駆動する規定電圧であるゲート電圧 (+15V) との 2 つの電圧レベルを生成し、タイミング制御部 3 が、ゲート電圧 V_a を規定電圧 (+15V) よりも先にトランジスタ 1 に印加するように制御する。

【選択図】 図 1

特願 2 0 0 3 - 3 1 6 7 3 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 0 1 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社